

EXPERIMENTATION ET EVOLUTION DES CIRCUITS FONDAMENTAUX

OSCILLATEURS A PORTES LOGIQUES

EXPLOITATION DU TEMPS DE TRANSIT

Considérons le cas, le plus simple, d'inverseurs logiques, dont la table de vérité, rappelée en figure 1, se réduit à sa plus simple expression. Cette table, applicable à des états stationnaires, ne prend pas en compte les phénomènes transitoires.

Lorsqu'on applique, à l'entrée de l'inverseur de la figure 1, un échelon unité supposé parfait (fig. 2), deux phénomènes, liés au temps, interviennent dans le basculement de la sortie :

- la transition se caractérise par un temps de montée (ou de descente) qui dépend de la technologie employée : de 100 ns (sous une tension de 5 V) à 40 ns (sous 15 V) pour les C-MOS ; une dizaine de nanosecondes pour les familles classiques TTL ; enfin, environ 3 ns pour la TTL rapide (FAST) ;

- en raison des phénomènes physiques de déplacement des porteurs, le signal ne se déplace pas instantanément de l'entrée vers la sortie. Il existe ainsi un « délai de propagation », t_p , qui, pour les diverses familles citées plus

haut, prend respectivement des valeurs voisines de 50 ns (variable avec la tension d'alimentation), 10 ns et 5 ns.

On rencontre souvent, au sein de montages de logique dont le fonctionnement requiert des signaux d'horloge, des oscillateurs conçus et construits autour de divers types de portes. De tels circuits ne sont pas toujours clairement compris, et, partant, employés de façon optimale. Nous nous proposons, ici, d'éclairer la question.

La figure 2 résume alors ces divers phénomènes, et montre le décalage temporel résultant.

Dans ces conditions, bouclons sur elles-mêmes trois portes logiques exploitées en inverseurs, comme le montre la figure 3, et supposons,

d'abord, l'entrée E_1 à l'état bas (0 logique). Statiquement, S_1 et E_2 doivent alors se trouver dans l'état haut (1 logique), S_2 et E_3 dans l'état bas, enfin $S_3...$ et E_1 !, dans l'état haut. Il apparaît donc, manifestement, une incompatibilité dans cette situation, puisque la sortie S_3 est reliée à l'entrée E_1 , et tend à la forcer vers l'état haut. Finalement, le système oscille, à la recherche d'un équilibre introuvable...

E	S
0	1
1	0

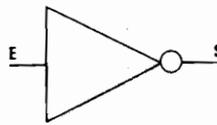


Figure 1

FREQUENCE D'OSCILLATION

Au lieu d'envisager des états statiques que nous venons de voir impossibles, examinons le problème sous l'angle dynamique, et considérons que l'entrée E_1 de la figure 3 vient de passer à l'état bas. La sortie S_3 n'atteindra l'état logique 1 qu'après un délai dû au temps de propagation de chaque porte. Ici (trois portes), ce délai atteint donc $3 t_p$. Par suite, la fréquence d'oscillation s'établit à :

$$f = \frac{1}{3 t_p}$$

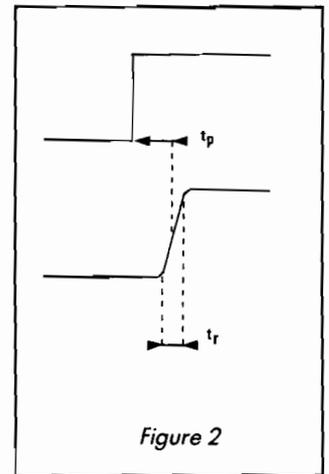


Figure 2

si on ne tient compte que du délai de propagation. En fait, à cause des durées de transition, du même ordre de grandeur que t_p , on arrive à une fréquence voisine de :

$$f = \frac{1}{6 t_p}$$

Plus généralement, si on boucle un nombre n impair de portes (5, 7, etc.), la fréquence d'oscillation devient :

$$f = \frac{1}{2 n t_p}$$

UNE REALISATION A INVERSEURS C-MOS

A titre expérimental, et sur une boîte de câblage sans soudure (nous justifierons plus loin l'importance de cette remarque), nous avons refermé, conformément au schéma de la figure 3, trois des quatre inverseurs d'un circuit 4049. Les signaux observés, à l'oscilloscope bicourbe, sont prélevés en E_1 pour la voie Y_A , et en S_1 (donc E_2) pour la voie Y_B . Avec une alimentation sous 12 V, on recueille, alors, les traces

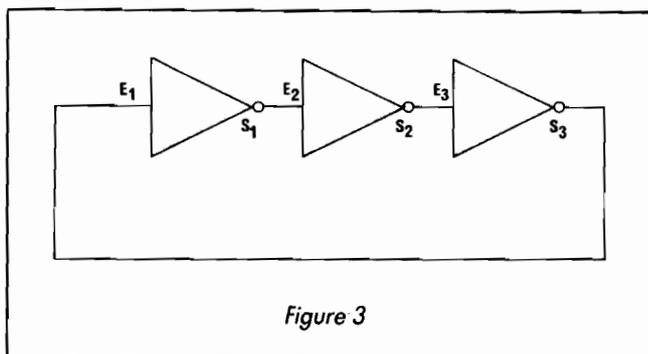


Figure 3

de l'oscillogramme A, balayé à 20 ns/division.

La période s'établit à 100 ns, soit une fréquence de 10 MHz. On peut en déduire, expérimentalement, le délai de propagation de l'échantillon utilisé, soit 16,6 ns. Cette valeur, inférieure aux données typiques que nous indiquons plus haut, découle de la faible charge capacitive appliquée : c'est celle de la sonde réductrice de l'oscilloscope, voisine de 12 pF, alors que les constructeurs normalisent leurs données pour une capacité de 50 pF.

Les dépassements et les oscillations parasites, visibles sur l'oscillogramme A, résultent, pour une large part, des capacités de câblage de la

boîte. Un montage soigné sur circuit imprimé, avec découplage de l'alimentation, en atténuerait sensiblement l'importance.

PLUS VITE... AVEC DES FAST !

Les relations indiquées montrent qu'il est possible de monter en fréquence, en réduisant à la fois les durées de transition, et les délais de propagation. Avec leurs remarquables performances dans ce domaine, les TTL FAST méritent une expérimentation, à laquelle nous nous sommes évidemment livré.

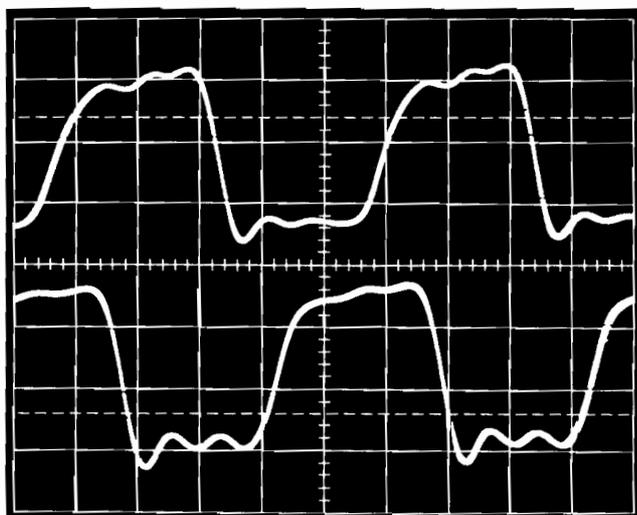
Le circuit utilisé, de chez RTC, est une quadruple porte NAND à deux entrées (74F00), refermé sur trois portes, comme l'indique la figure 4, et alimenté sous une tension de 5 V. La figure indique l'emplacement des prises de signaux, pour les voies Y_A et Y_B de l'oscilloscope.

Avec une vitesse de balayage de 10 ns/division, on relève une période 15 ns, soit une fréquence $f = 67$ MHz environ. D'une voie sur l'autre, donc entre l'entrée et la sortie d'une porte, et compte tenu de l'inversion de phase, le délai s'établit, d'après l'oscillogramme, à 6 ns.

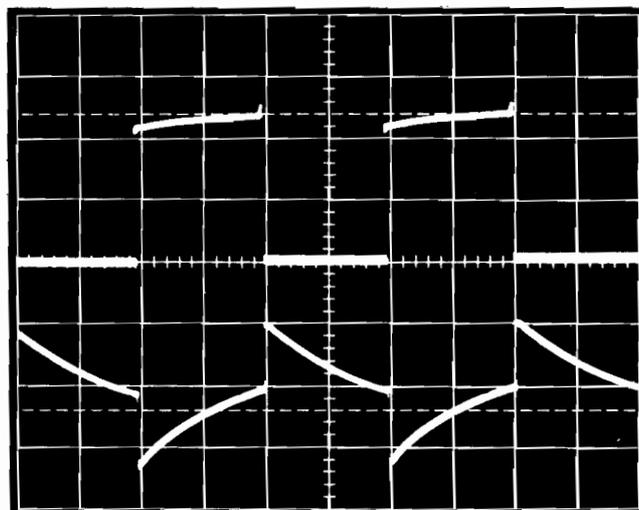
L'oscillogramme B appelle quelques commentaires. Le lecteur, en effet, y relèvera deux anomalies *a priori* surprenantes :

- les formes d'ondes paraissent quasi sinusoïdales, alors qu'on pourrait s'attendre à des créneaux, même plus ou moins déformés ;
- l'amplitude reste limitée à 2,5 V crête à crête, au lieu des 3 à 4 V théoriquement prévisibles.

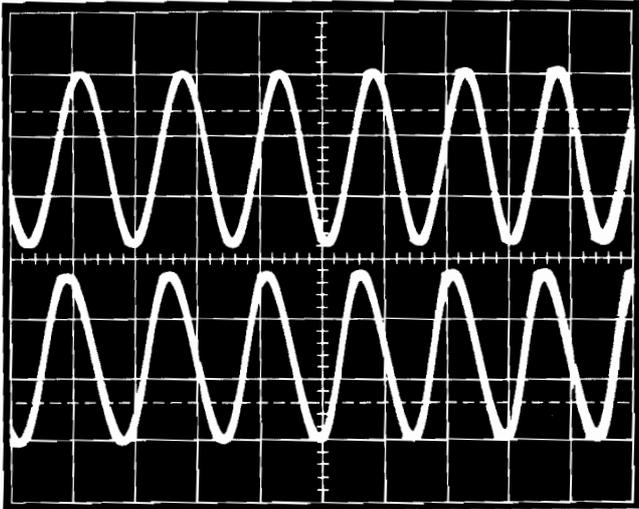
Ces résultats tiennent aux limitations de l'oscilloscope utilisé. Même avec une bande passante de 50 MHz, et un



Oscillogramme A. - Entrée (trace supérieure) et sortie (trace inférieure) d'une même porte C-MOS de la figure 3. Verticalement (Y_A et Y_B) : 5 V/division. Balayage : 20 ns/division.



Oscillogramme B. - Entrée (trace supérieure) et sortie (trace inférieure) d'une même porte TTL FAST de la figure 4. Verticalement (Y_A et Y_B) : 1 V/division. balayage : 10 ns/division.



Oscillogramme C. – Sortie de l'oscillateur (trace supérieure) et « nœud » du montage (trace inférieure). Verticalement (Y_A et Y_B) : 5 V/division. Balayage : 2 μ s/division.

temps de montée propre de 7 ns, celui-ci ne peut, en effet, reproduire correctement des crêteaux à 67 MHz, ce qui exigerait une bande passante de plusieurs centaines de MHz. Il en filtre donc la fondamentale, c'est-à-dire une onde sinusoïdale. Celle-ci, par ailleurs, se trouve elle-même hors des limites, donc sensiblement atténuée.

OSCILLATEURS A RESEAUX RC

Les schémas des figures 3 et 4 ne sauraient constituer que des cas extrêmes d'utilisation, pour la recherche plus ou

moins expérimentale de fréquences maximales.

Les signaux, à la limite des possibilités, souffrent de déformations difficilement acceptables. Par ailleurs, les délais de propagation, donc les fréquences d'oscillation, dépendent fortement de la tension d'alimentation (pour les C-MOS), et de la température. Dans la pratique, on préfère déterminer la fréquence à l'aide d'un réseau externe de composants passifs. La figure 5, qui fait appel à trois inverseurs (ou à trois portes connectées en inverseurs), montre le schéma le plus recommandé. Le calcul de la fréquence délivrée étant assez

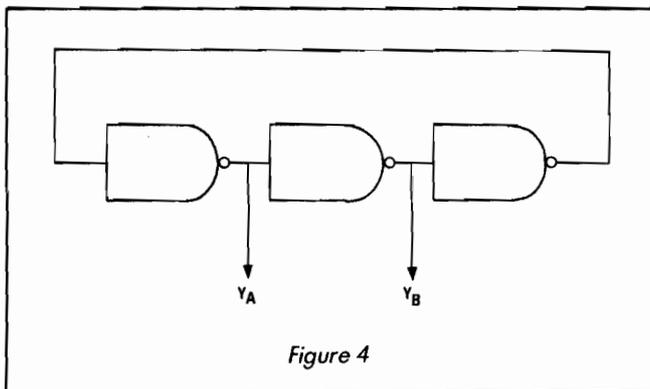
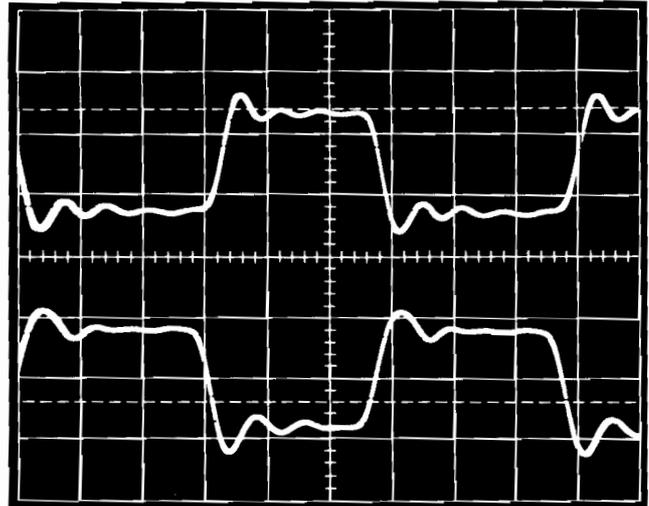
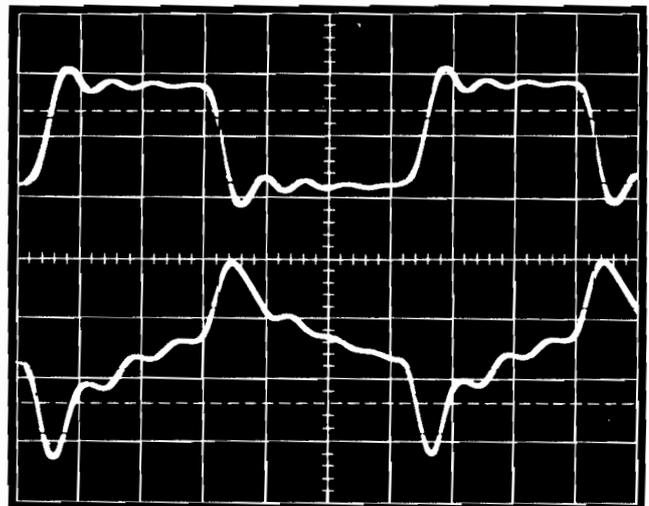


Figure 4



Oscillogramme D. – Verticalement (voir figure 6) : 2 V/division. Balayage : 20 ns/division. Les durées de transition sont, pratiquement, celles de l'oscilloscope (7 ns).



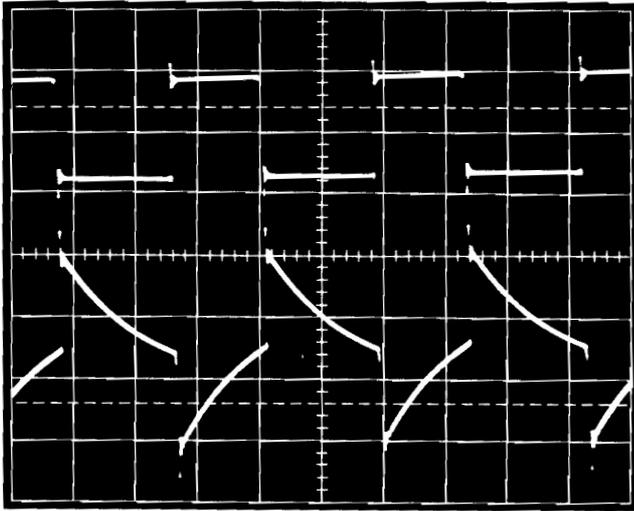
Oscillogramme E. – Au « nœud » du montage, les exponentielles (trace inférieure, 2 V/division) sont fortement perturbées par les oscillations parasites à haute fréquence.

complexe, nous nous bornerons à en fournir le résultat. On trouve, si f est suffisamment faible pour ne plus faire intervenir t_p :

$$f = \frac{1}{2R_1C \frac{0,405 R_2}{R_1 + R_2} + 0,693}$$

avec un rapport cyclique très proche de 50 %.

L'oscillogramme C montre les résultats obtenus avec trois inverseurs C-MOS (circuit 4049), et les valeurs suivantes des composants : $R_1 = R_2 = 2,2 \text{ k}\Omega$; $C = 1 \text{ nF}$. Les crêteaux de la trace supérieure représentent les signaux de sortie de la troisième porte. A la trace inférieure, on observe les charges et les décharges alternées du condensateur,



Oscillogramme F. - Verticalement : 2 V/division sur chacune des traces. Balayage : 100 ns/division.

prélevées sur le « nœud » commun à R_1 , R_2 et C. Un montage identique, mais élaboré à partir de trois des portes NAND d'un circuit 74F00 (fig. 6), conduit aux oscillogrammes D et E, avec les

valeurs suivantes des composants : $R_1 = R_2 = 470 \Omega$, $C = 68 \text{ pF}$. En D, les traces supérieure et inférieure sont, respectivement, prises sur la sortie et sur l'entrée de la troisième porte. Théoriquement

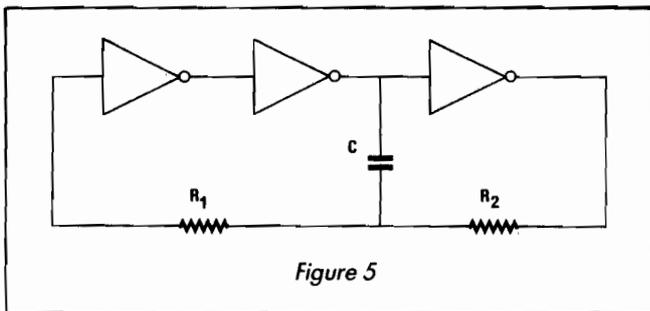


Figure 5

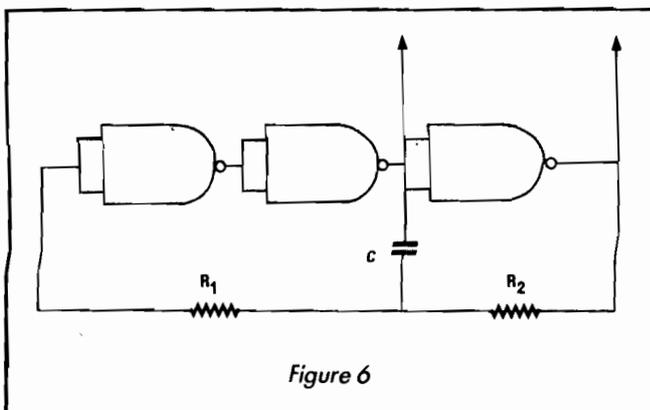


Figure 6

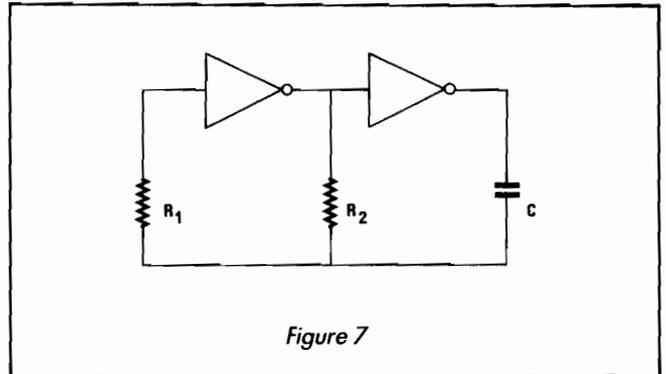


Figure 7

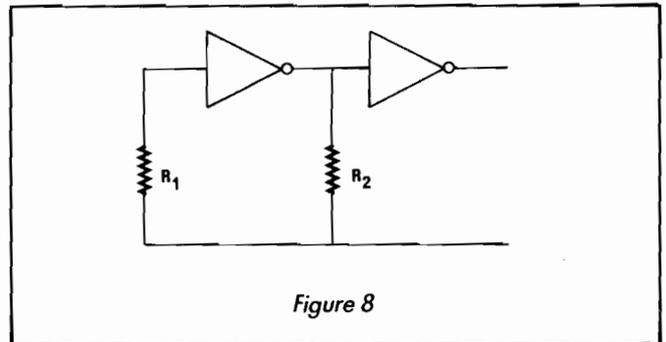


Figure 8

en opposition de phase, elles subissent un léger décalage, dû au fait que le temps de propagation n'est plus totalement négligeable, à la fréquence de 8,3 MHz obtenue. L'oscillogramme E fait apparaître les charges et les décharges du condensateur. Là encore, les oscillations parasites proviennent des capacités du câblage (boîte d'essais), et d'un découplage insuffisant des alimentations.

Si on revient à des fréquences plus faibles, les résultats s'améliorent, ainsi qu'en témoigne l'oscillogramme F ($R_1 = R_2 = 470 \Omega$, $C = 1 \text{ nF}$).

UN MONTAGE A EVITER...

Fréquemment proposé, le schéma de la figure 7 ne fait appel qu'à deux inverseurs, et peut, à ce titre, séduire. Nous ne pouvons cependant que le déconseiller, car il n'oscille pas systématiquement : seules, certaines valeurs de R_1 , R_2

et C conviennent. Il n'est, pour s'en convaincre, que de considérer le cas où on diminue la capacité C... jusqu'à la supprimer totalement, comme à la figure 8. A l'évidence, toute oscillation devient alors rigoureusement impossible !

CONCLUSION

Exploitées pour la réalisation d'oscillateurs, les portes logiques se prêtent à la conception de circuits remarquablement simples, et pourtant susceptibles de monter en fréquence, beaucoup plus haut que des montages à amplificateurs opérationnels. On les utilisera principalement dans des ensembles logiques, où leurs niveaux et leurs sorties s'adaptent directement aux autres éléments mis en jeu.

R. RATEAU